

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-252029

(43)Date of publication of application : 28.09.1993

(51)Int.Cl.

H03L 7/091

H03L 7/093

(21)Application number : 04-049306

(71)Applicant : HITACHI LTD
HITACHI GAZOU JOHO SYST:KK

(22)Date of filing : 06.03.1992

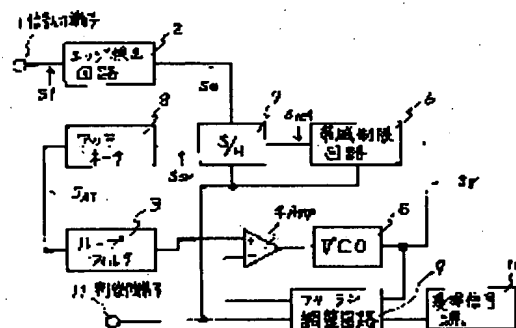
(72)Inventor : YAMAZAKI SHIGERU
ITO YASUYUKI

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To reduce the adjustment error at the time of adjusting the free run frequency of a PLL by connecting an attenuator between a phase comparator and a VCO, thereby decreasing a phase error signal to $1/n$.

CONSTITUTION: The phase of an input signal via an edge detection circuit 2 and the phase of an output signal of a VCO 5 via a BPF 6 are compared by the sample-and-hold circuit 7 of a phase comparator of a PLL and the free-run frequency of the PLL is automatically adjusted. The attenuator 8 is connected between the circuit 7 and the VCO 5 and the gain of a phase error signal is set to $1/n$. Thus, the offset of a capture range due to the field-through of an analog switch in the circuit 7 or the like is reduced to $1/n$ and the frequency adjustment error is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】電流または電圧制御発振器と、デジタル信号の立ち上りおよび立ち下がりエッジを検出するエッジ検出回路と、前記制御発振器の出力信号と前記エッジ検出回路の出力信号とを入力する位相比較器と、前記位相比較器の出力信号を前記制御発振器に帰還するようにしたPLL回路と、前記PLL回路のフリーラン周波数を調整する調整回路を備えたPLL回路において、前記位相比較器がアナログスイッチとコンデンサよりなるサンプルホールド回路であり、前記位相比較器と前記制御発振器の間に、前記位相比較器の出力信号をアッテネートするアッテネータを備えたことを特徴とするPLL回路。

【請求項2】請求項1記載のPLL回路において、前記調整回路が基準信号と前記制御発振器の出力信号との位相比較を行なう第2の位相比較器と、前記第2の位相比較器の出力信号の帯域制限を行なうループフィルタと、前記ループフィルタの出力取り出し位置を切替える切換え回路と、前記切換え回路出力を前記制御発振器に帰還する手段を備えた第2のPLL回路であり、前記ループフィルタの出力位置を切替えることにより切換え回路出力の直流電圧が変わるようにしたことを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はPLL(Phase Locked Loop)回路に関する。

【0002】

【従来の技術】PLL回路は、入力信号と電圧制御発振器(以下VCOと記す)の出力信号との位相比較を行ない、その位相誤差に応じた電圧をVCOに戻すようにして位相差を一定に保つようになっている。

【0003】PLL回路の位相比較器としては、例えば特開昭63-111724号公報記載のようにイクスクルーシブORを用いたもの等、様々な回路例が報告されている。

【0004】

【発明が解決しようとする課題】前記位相比較器としてアナログスイッチとコンデンサより構成されるサンプルホールド回路(以下S/H回路と記す)を用い、VCOの出力信号、またはそれを帯域制限した信号を位相比較信号として、入力信号のエッジ信号で位相比較信号をS/Hする構成とし、PLL回路においてフリーラン周波数調整時に、S/H回路に位相比較信号の平均電圧を入力し、アナログスイッチは常にオンした状態で、VCOの発振周波数を基準周波数に等しくなるように調整した場合、メインのPLL動作時にアナログスイッチのフィードスルー等によりキャプチャレンジの中心が基準周波数からずれる場合があった。

【0005】

【課題を解決するための手段】上記問題を解決するため、上記位相比較器とVCOの間にアッテネータを接続し、ゲインを $1/n$ にするようにした。

【0006】

【作用】位相比較器とVCOの間にアッテネータを接続し、位相誤差信号のゲインを $1/n$ にすることにより、アナログスイッチのフィードスルー等によるキャプチャレンジのずれを $1/n$ に低減できる。

【0007】

【実施例】図1に本発明の一実施例を示す。図1において、1は信号入力端子、2はエッジ検出回路、3はループフィルタ、4は差動増幅器、5はVCO、6は帯域制限回路、7はS/H回路、8はアッテネータ、9はフリーラン調整回路、10は基準信号源、11は制御端子である。

【0008】図2は図1の回路の同期時のタイミング図であり、以下、図2を用いて図1の回路の動作を説明する。

【0009】入力信号端子1から入力された信号S_iは、エッジ検出回路2で立ち上り、立ち下がりエッジが検出され、エッジ信号S_eを得る。VCO5の出力の矩形波信号S_vは帯域制限回路6に入力され三角波または正弦波状の位相比較信号S_{ref}となる。S/H回路7にはエッジ信号S_eと、位相比較信号S_{ref}が入力され、エッジ信号S_eで位相比較信号S_{ref}をサンプルホールドすることにより、位相比較を行ない、位相誤差信号S_{sh}を得る。

【0010】S/H回路7は、サンプルからホールドに移るときに、エッジ信号S_eが出力に飛びつき、出力電圧が本来の電圧からオフセットする、いわゆるフィードスルーが生じる場合があり、フィードスルーによるオフセットをV_{off}とすると、位相誤差信号S_{sh}は本来の破線の電圧からV_{off}オフセットした電圧となる。ここでは、フィードスルー量V_{off}を入力電圧によらず一定であるとする。

【0011】次に、S/H回路7の出力S_{sh}をゲインを $1/n$ にするアッテネータ8に入力し、フィードスルーV_{off}を $1/n$ にする。アッテネータ8の出力S_{at}はループフィルタ3により帯域制限され、差動増幅器4で増幅された後、VCO5に入力されPLLが構成される。

【0012】次に、図1の回路のフリーラン周波数調整について説明する。入力端子1から入力された信号とVCOの同期を取る場合と、フリーラン周波数の調整時との切換えは制御端子11で行なう。

【0013】フリーラン周波数の調整時は、帯域制限回路6は位相比較信号S_{ref}の平均電圧を出力する。また、S/H回路7は常にサンプル状態となり、入力電圧に応じた電圧を出力する。この場合、ホールド動作は行なわないので、フィードスルーは生じない。

【0014】フリーラン調整回路9は、VCO5の発振

周波数と基準信号源10の出力の周波数が同じ、または、整数倍になるような電圧を差動増幅器4の反転入力端子に与える。次に、調整終了後、フリーラン調整回路9はVCO5の発振周波数によらず、調整終了直前の電圧を出力し続ける。

【0015】さて、フリーラン周波数調整時にはS/H回路7のフィードスルーV_{off}は含まれていなかった

【数1】

$$F_{off} = A \cdot F \cdot \frac{V_{off}}{n} \quad (\text{Hz}) \quad \dots(\text{数1})$$

【0017】上式から、オフセットを少なくするには、各部のゲインを下げれば良いことがわかるが、差動増幅器4やVCO5のゲインを変えるのは必要キャプチャレンジ確保の点から容易ではないため、アッテネータ8のアッテネート量nを大きくする。しかし、単にアッテネート量nを大きくしただけではキャプチャレンジが狭くなるので、nに応じて位相比較信号S_{ref}の振幅を上げてやる必要がある。nはキャプチャレンジオフセットの許容値と位相比較信号S_{ref}の最大振幅と必要なキャプチャレンジより決める。

【0018】アッテネータ8はアッテネータの入力と出力の平均電圧がアッテネート量にかかわらず一定になるような構成であれば良く、たとえば図3のようにすれば良い。図3において、81は入力端子、82は出力端子、83、84、85は抵抗である。抵抗値は、アッテネート量nと、フリーラン周波数調整時にアッテネータ8の入力と出力電圧が同じになるような値にすれば良い。また、アッテネータ8は図4のような構成でも良い。図4において、図3と同じ部品については同一番号を付けた。86は演算増幅器、87、88は抵抗、89は基準電圧源である。基準電圧源87の電圧はフリーラン調整時のアッテネータ8の入力電圧と同じにすれば良い。

【0019】また、図1に示した実施例では、アッテネータ8はS/H回路7とループフィルタ3の間にあるが、S/H回路7からVCO5の間であればどこでも良い。

【0020】本実施例により、キャプチャレンジに影響を与えることなく、キャプチャレンジオフセットを低減することができる。

【0021】図5に本発明の他の実施例を示す。図5において図1と同じ部品については同一番号で示した。91は位相比較器、92、93、94、95は抵抗、96はコンデンサ、97、98はアナログスイッチ、99はバッファである。

【0022】図1の回路では、キャプチャレンジオフセ

つめ、PLL回路のキャプチャレンジの中心はV_{off}に応じた量だけ基準周波数からオフセットすることになる。発振周波数のオフセット量F_{off}は差動増幅器4のゲインをA、VCO5のゲインをF(Hz/V)とすると次の式で示される。

【0016】

【数1】

ットを少なくすることはできるが完全に無くすることはできない。そこで本実施例は、図1の回路で補正しきれなかったオフセットを無くすようにしたものである。図5の回路の基本動作は図1の回路と同じであり、ここでは異なっているフリーラン調整回路9について説明する。

【0023】フリーラン調整回路9は、位相比較器91、抵抗92、93、94、95、コンデンサ96よりなるループフィルタ、差動増幅器4、VCO5により第2のPLL回路を構成している。

【0024】フリーラン周波数調整時には、位相比較器91はVCO5の出力信号と基準信号源10の出力信号との位相比較を行ない、VCO5の出力信号と基準信号源10の出力信号の周波数が同じになるようにする。この時、ループフィルタの出力はアナログスイッチ97から取る。調整終了後、位相比較器91はVCO5の出力信号と基準信号源10の出力信号の周波数によらず、調整終了直前の電圧を出力し続ける。この時は、ループフィルタの出力はアナログスイッチ98から取り、調整時よりも差動増幅器4に入力する電圧を下げる。抵抗93、94、95の値は、抵抗93での電圧降下がアッテネータ8で補正できなかったオフセットをキャンセルするように選べば良い。また、本実施例ではS/H回路7のオフセットがマイナス側になる場合であるが、プラス側になる場合は抵抗94をGNDに、抵抗95を電源に接続すれば良い。

【0025】本実施例により、キャプチャレンジオフセットをなくすることができる。

【0026】

【発明の効果】本発明によれば、位相比較器で生じるオフセット電圧によりキャプチャレンジがオフセットするのを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すPLL回路の回路図である。

【図2】図1の回路の動作タイミング図である。

【図3】アッテネータの構成の一例を示す図である。

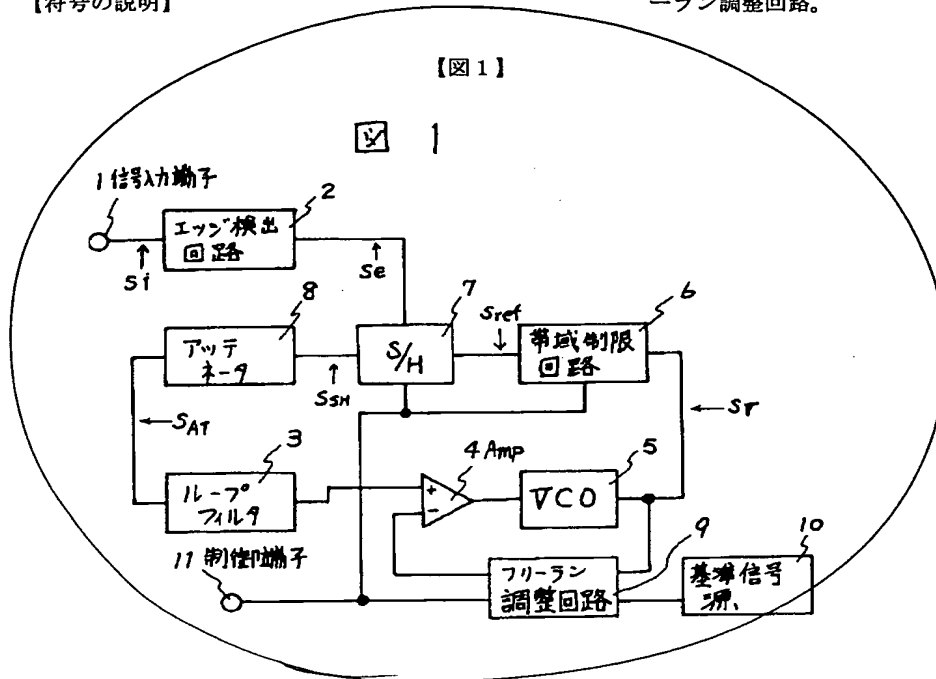
【図4】アッテネータの構成の他の例を示す図である。

【図5】本発明の他の実施例を示す図である。

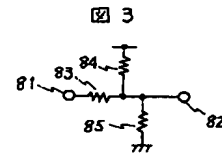
【符号の説明】

2…エッジ検出回路、4…差動増幅器、5…VCO、7…サンプルホールド回路、8…アッテネータ、9…フリーラン調整回路。

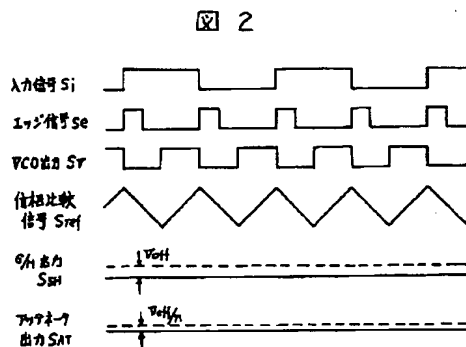
【図1】



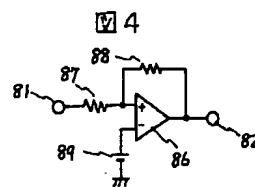
【図3】



【図2】



【図4】



5

